

T S4/7/ALL FROM 347

4/7/2 (Item 1 from file: 347)

DIALOG(R) File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06085255 **Image available**

N-TYPE MOSFET AND MANUFACTURE THEREOF

PUB. NO.: 11-026769 [JP 11026769 A]

PUBLISHED: January 29, 1999 (19990129)

INVENTOR(s): HAYAZAKI YOSHIKI
SUZUMURA MASAHIKO
SUZUKI YUJI
SHIRAI YOSHIFUMI
KISHIDA TAKASHI
TAKANO MASAMICHI
YOSHIDA TAKESHI

APPLICANT(s): MATSUSHITA ELECTRIC WORKS LTD

APPL. NO.: 09-174305 [JP 97174305]

FILED: June 30, 1997 (19970630)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a n-type MOSFET and manufacture thereof which avoids the side leakage, without enlarging the element size over the channel width.

SOLUTION: The MOSFET comprises an n+ type source region 4 and n+ type drain region 5 which are exposed at the surface mutually apart and away from a buried oxide film 1b in an element forming region 3, p+ type body contact region 6 which is formed adjacent to the source region 4 and exposed at the surface in the region 3, polysilicon insulation gate 7 formed through a thin gate oxide film on an element forming region 2, for controlling the current flowing between the source and drain regions 4, 5, source electrode 8 formed to electrically connect to the source region 4 and the contact region 6, drain electrode 9 formed to electrically connect to the drain region 5, gate electrode 10 formed to electrically connect to the insulation gate 7, and p++ type impurity region 11 formed at the interface between an SOI layer 1c and oxide film 1b.

COPYRIGHT: (C)1999,JPO

?

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-26769

(43)公開日 平成11年(1999) 1月29日

(51)Int.Cl.⁸

H 0 1 L 29/786
29/78

識別記号

F I

H 0 1 L 29/78

6 2 1

3 0 1 S

3 0 1 G

6 1 8 F

6 2 6 B

審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に続く

(21)出願番号

特願平9-174305

(22)出願日

平成9年(1997) 6月30日

(71)出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 早崎 嘉城

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 鈴木 正彦

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 鈴木 裕二

大阪府門真市大字門真1048番地松下電工株式会社内

(74)代理人 弁理士 佐藤 成示 (外1名)

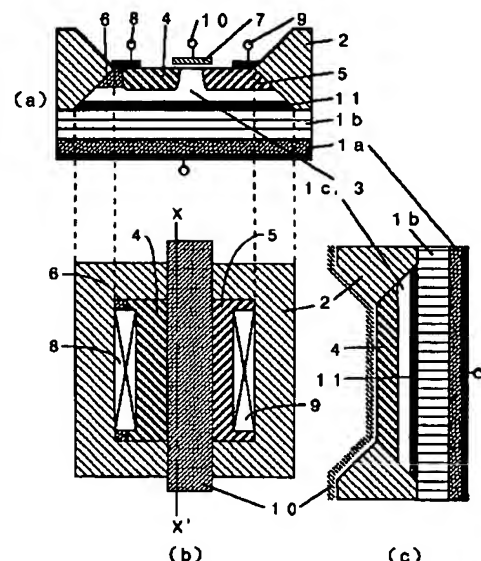
最終頁に続く

(54)【発明の名称】 N型MOSFET及びその製造方法

(57)【要約】

【課題】 素子サイズをチャネル幅以上に拡大することなく、サイドリークを防止することのできるN型MOSFET及びその製造方法を提供する。

【解決手段】 素子形成領域3内には、表面に露出し、かつ、互いに離間するとともに、埋込酸化膜1bから離間するようにN+型のソース領域4及びN+型のドレイン領域5が形成されている。また、素子形成領域3内には、表面に露出し、かつ、ソース領域4に接するようにP+型のボディコンタクト領域6が形成されている。また、ソース領域4とドレイン領域5との間に流れる電流を制御するためのポリシリコン等から成る絶縁ゲート7が素子形成領域2上に薄い膜厚のゲート酸化膜を介して形成されている。そして、ソース領域4及びボディコンタクト領域6と電氣的に接続されるようにソース電極8が形成され、ドレイン領域5と電氣的に接続されるようにドレイン電極9が形成され、絶縁ゲート7と電氣的に接続されるようにゲート電極10が形成されている。そして、SOI層1cと埋込酸化膜1bとの界面にP++型の不純物領域11が形成されている。



1 a 支持体シリコン基板
1 b 埋込酸化膜
1 c SOI層
2 素子分離領域
3 素子形成領域
4 ソース領域
5 ドレイン領域

6 ボディコンタクト領域
7 絶縁ゲート
8 ソース電極
9 ドレイン電極
10 ゲート電極
11 不純物領域

【特許請求の範囲】

【請求項1】 半導体支持基板と該半導体支持基板上に絶縁層を介して形成されたP型のSOI層とから成るSOI基板と、前記SOI層内に互いに離間し、かつ、前記絶縁層から離間して形成されたN+型のソース領域及びN+型のドレイン領域と、前記ソース領域及びドレイン領域との間に流れる電流を制御する、前記SOI層上にゲート酸化膜を介して形成された絶縁ゲートとを有し、前記SOI層は表面から前記絶縁層に到達する素子分離領域と前記絶縁層とにより互いに絶縁分離された前記SOI層から成る複数の素子形成領域を構成し、該素子形成領域に前記ソース領域及びドレイン領域が形成されて成るN型MOSFETにおいて、前記素子形成領域と前記絶縁層との界面に高濃度P型不純物領域を設けたことを特徴とするN型MOSFET。

【請求項2】 前記SOI層の膜厚が $0.5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下であり、前記高濃度P型不純物領域の不純物濃度が前記素子分離領域近傍において $2 \times 10^{17}\text{cm}^{-3}$ 以上であることを特徴とする請求項1記載のN型MOSFET。

【請求項3】 請求項1記載のN型MOSFETの製造方法であって、前記半導体支持基板と該半導体支持基板上に前記絶縁層を介して形成されたN型のSOI層とから成るSOI基板の前記N型のSOI層に、P型不純物を導入、拡散した後、N型不純物をカウンタードーピングして、前記P型のSOI層と前記絶縁膜との界面に前記高濃度P型不純物領域を形成するようにしたことを特徴とするN型MOSFETの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SOI (Silicon On Insulator) 構造を有するN型MOSFET及びその製造方法に関するものである。

【0002】

【従来の技術】近年、パワーICの高耐压化に伴い、素子間を絶縁層によって完全に分離できるSOI (Silicon On Insulator) 構造を利用したパワー半導体装置、特に、モーターコントロール、電子バラスト及び電源ブロック等に用いられるインテリジェント・パワー半導体装置が注目されている。従来、この種のインテリジェント・パワー半導体装置に含まれる回路素子のひとつとして、図4に示すようなN型MOSFETが知られている。

【0003】図4は、従来例に係るN型MOSFETを示す概略構成図であり、(a)は略断面図であり、(b)は略平面図であり、(c)は(b)のY-Y'での略断面図である。支持体シリコン基板1aと、支持体シリコン基板1a上に埋込酸化膜1bを介して形成されたP型SOI層1cとからなるSOI基板のSOI層1cは、表面から埋込酸化膜1bに到達する素子分離領域

2により絶縁分離されて素子形成領域3を構成している。

【0004】素子形成領域3には、表面に露出し、かつ、互いに離間するとともに、埋込酸化膜1bから離間してN+型のソース領域4とN+型のドレイン領域5とが形成されている。

【0005】また、(Jean-Pierre Colinge, "Silicon-on-Insulator Technology: Materials to VLSI," Kluwer Academic Publishers, 1991, p.104) に示すように、ソース領域4からドレイン領域5に流れるリーク電流(いわゆるサイドリーク)を防止するために、素子分離領域2とソース領域4との間の素子形成領域3内に、表面から埋込酸化膜1bに到達し、かつ、素子分離領域2と後述するゲート電極11とが交差する部分までボディコンタクトを兼用したP+型の不純物領域13が形成されている。

【0006】また、ソース領域4とドレイン領域5との間に流れる電流を制御するための絶縁ゲート7が素子形成領域2上に薄い膜厚のゲート酸化膜(図示せず)を介して形成されている。

【0007】そして、ソース領域4及び不純物領域13と電気的に接続されるようにソース電極8が形成され、ドレイン領域5と電気的に接続されるようにドレイン電極9が形成され、絶縁ゲート7と電気的に接続されるようにゲート電極10が形成されている。

【0008】このようなN型MOSFETを含む集積化半導体装置では高密度な集積化や、パワー半導体との集積化のためにより小さな面積、かつ、簡単な工程が要求されている。

【0009】特に、完全横方向分離をLOCOS (Localized Oxidation of Silicon) 分離によって行うためには、SOI層1cの膜厚は通常 $1\mu\text{m}$ 以下である必要があるため、SOI構造を有するCMOS装置は一般的に $1\mu\text{m}$ 以下のSOI層1cに形成される。

【0010】更に、LOCOS分離をより小面積、かつ、簡単化するためにSOI層1cの膜厚は縮小化の方が有利であり、技術の方向もその方向にある。

【0011】ここで、簡単にサイドリークの説明をする。図5は、従来例に係るサイドリーク防止策をとらないN型MOSFETの概略構成図であり、(a)は略平面図であり、(b)は(a)のZ-Z'での略断面図である。SOI層1c内の、素子分離領域2と埋込酸化膜1bとの界面近傍の領域16において、LOCOS工程によりP型不純物が酸化膜の方に移動する偏析によって領域16のP型不純物濃度が低下すること、領域16とゲート電極10との間に介在する素子分離領域2の膜厚がゲート酸化膜に比べて極めて厚い(例えば $2\mu\text{m}$)こと及びLOCOS工程による素子分離領域2の形成による表面電荷(Q_{ss})が大きいこと等から、領域16の閾値電圧は低くなる。

【0012】従って、主となるN型MOSFET Aに並列に、上述の閾値電圧の低い寄生N型MOSFET Bが接続された状態となり、阻止状態においても電流が流れるようになる。これをサイドリークという。

【0013】

【発明が解決しようとする課題】ところで、図4に示すN型MOSFETにおいては、チャネル幅はソース領域4とゲート電極10との接線方向の長さ14で決定されるが、素子の大きさは前述のサイドリーク防止用の不純物領域13の大きさも含めた長さ15となる。

【0014】従って、チャネル幅よりも大きなサイズの素子形成領域2が必要とされるので、小型化に不利であるという問題があった。

【0015】本発明は、上記の点に鑑みて成されたものであり、その目的とするところは、素子サイズをチャネル幅以上に拡大することなく、サイドリークを防止することのできるN型MOSFET及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】請求項1記載の発明は、半導体支持基板と該半導体支持基板上に絶縁層を介して形成されたP型のSOI層とから成るSOI基板と、前記SOI層内に互いに離間し、かつ、前記絶縁層から離間して形成されたN+型のソース領域及びN+型のドレイン領域と、前記ソース領域及びドレイン領域との間に流れる電流を制御する、前記SOI層上にゲート酸化膜を介して形成された絶縁ゲートとを有し、前記SOI層は表面から前記絶縁層に到達する素子分離領域と前記絶縁層とにより互いに絶縁分離された前記SOI層から成る複数の素子形成領域を構成し、該素子形成領域に前記ソース領域及びドレイン領域が形成されて成るN型MOSFETにおいて、前記素子形成領域と前記絶縁層との界面に高濃度P型不純物領域を設けたことを特徴とするものである。

【0017】請求項2記載の発明は、請求項1記載のN型MOSFETにおいて、前記SOI層の膜厚が0.5 μm 以上1.5 μm 以下であり、前記高濃度P型不純物領域の不純物濃度が前記素子分離領域近傍において $2 \times 10^{17} \text{cm}^{-3}$ 以上であることを特徴とするものである。

【0018】請求項3記載の発明は、請求項1記載のN型MOSFETの製造方法であって、前記半導体支持基板と該半導体支持基板上に前記絶縁層を介して形成されたN型のSOI層とから成るSOI基板の前記N型のSOI層に、P型不純物を導入、拡散した後、N型不純物をカウンタードーピングして、前記P型のSOI層と前記絶縁層との界面に前記高濃度P型不純物領域を形成するようにしたことを特徴とするものである。

【0019】

【発明の実施の形態】以下、本発明の一実施形態について図面に基づき説明する。図1は、本発明の一実施形態

に係るN型MOSFETを示す概略構成図であり、

(a)は略断面図であり、(b)は略平面図であり、

(c)は(b)のX-X'での略断面図である。本実施形態に係るN型MOSFETは、半導体支持基板としての支持体シリコン基板1aと、支持体シリコン基板1a上に絶縁層としての埋込酸化膜1bを介して形成されたP型のSOI層1cとから成るSOI基板のSOI層1cに、表面から埋込酸化膜1bに到達する素子分離領域2が形成され、SOI層1cは、埋込酸化膜1b及び素子分離領域2により絶縁分離された複数の素子形成領域3を構成する。

【0020】素子形成領域3内には、表面に露出し、かつ、互いに離間するとともに、埋込酸化膜1bから離間するようにN+型のソース領域4及びN+型のドレイン領域5が形成されている。また、素子形成領域3内には、表面に露出し、かつ、ソース領域4に接するようにP+型のボディコンタクト領域6が形成されている。

【0021】また、ソース領域4とドレイン領域5との間に流れる電流を制御するためのポリシリコン等から成る絶縁ゲート7が素子形成領域2上に薄い膜厚のゲート酸化膜(図示せず)を介して形成されている。

【0022】そして、ソース領域4及びボディコンタクト領域6と電気的に接続されるようにアルミニウム(A1)等から成るソース電極8が形成され、ドレイン領域5と電気的に接続されるようにアルミニウム(A1)等から成るドレイン電極9が形成され、絶縁ゲート7と電気的に接続されるようにアルミニウム(A1)等から成るゲート電極10が形成されている。

【0023】本実施形態においては、SOI層1cと埋込酸化膜1bとの界面にP++型の不純物領域11が形成されている。

【0024】図2は、本実施形態に係るN型MOSFETの不純物領域11の素子分離領域2近傍の閾値電圧と不純物領域11の不純物濃度との関係を示す特性図である。図2では、SOI層1cの膜厚が2 μm であり、不純物領域11の不純物濃度が $2 \times 10^{17} \text{cm}^{-3}$ 以上で、閾値電圧が40V以上となっており、不純物領域11と素子分離領域2との界面近傍では寄生MOSFETによるサイドリークが発生しない。

【0025】従って、本実施形態においては、SOI層1cの膜厚を0.5 μm 以上1.5 μm 以下とし、不純物領域11と素子分離領域2との界面近傍の不純物領域11の不純物濃度を $2 \times 10^{17} \text{cm}^{-3}$ 以上とする。

【0026】以下、本実施形態に係るN型MOSFETの製造工程について図面に基づき説明する。図3は、本実施形態に係るN型MOSFETの製造工程を示す略断面図である。支持体シリコン基板1aと、支持体シリコン基板1a上に埋込酸化膜1bを介して形成されたN型のSOI層12とから成るSOI基板のSOI層12の所定領域(N型MOSFETを形成する領域)全面にボ

ロン(B)等のP型不純物をデボ等によって導入、拡散して、SOI層12の埋込酸化膜1b側界面まで所定の濃度になるようにしてP++型の不純物領域11を形成し(図3(a),(b))する。

【0027】続いて、同じ領域にリン(P)等のN型不純物をデボ等によって導入、拡散して、不純物領域11の表面から所定の深さ(例えばSOI層の12の厚みを1 μ mとした場合に、0.7 μ m)だけP型不純物をコンベンセント(カウンタードープ)して所定のP型濃度(例えば1E16cm⁻³)のSOI層1cを形成する(図3(c),(d))。

【0028】次に、SOI層1cの所定の領域(N型MOSFETを形成する領域)を囲むようにLOCOS酸化を行うことによりSOI層1cの表面から埋込酸化膜1bに到達する素子分離領域2を形成し、素子分離領域2及び埋込酸化膜1bにより絶縁分離されたSOI層1cから成る素子形成領域3を形成する。

【0029】そして、一般的な手法によって、素子形成領域3にN型MOSFETを形成する(図3(e))。

【0030】従って、本実施形態においては、SOI層1cの埋込酸化膜1b側界面にP++型の不純物領域11を形成したので、素子分離領域2とSOI層1cとの界面であり、かつ、SOI層1cと埋込酸化膜1bとの界面である領域においてP型濃度が十分に高く、そのため、その部分の閾値電圧が低下することがなく、サイドリークを防止することができ、表面積を増大させることなくサイドリークを防止できる。

【0031】また、本実施形態においては、N型のSOI層12にP型不純物をデボ等によって導入、拡散した後に、カウンタードープによってN型MOSFETのベース領域を形成するようにしたので、多価イオン注入等の特殊な工程を導入することなく簡単、かつ、スループットの良い工程で形成できる上、多価イオン注入の祭に問題となる濃度プロファイルのブロード化を考慮することなく、適切にシャープな濃度プロファイルを得ることができる。

【0032】

【発明の効果】請求項1記載の発明は、半導体支持基板と半導体支持基板上に絶縁層を介して形成されたP型のSOI層とから成るSOI基板と、SOI層内に互いに離間し、かつ、絶縁層から離間して形成されたN+型のソース領域及びN+型のドレイン領域と、ソース領域及びドレイン領域との間に流れる電流を制御する、SOI層上にゲート酸化膜を介して形成された絶縁ゲートとを有し、SOI層は表面から絶縁層に到達する素子分離領域と絶縁層とにより互いに絶縁分離されたSOI層から成る複数の素子形成領域を構成し、素子形成領域にソース領域及びドレイン領域が形成されて成るN型MOSFETにおいて、素子形成領域と絶縁層との界面に高濃度P型不純物領域を設けたので、素子サイズをチャネル幅

以上に拡大することなく、サイドリークを防止することのできるN型MOSFETを提供することができた。

【0033】請求項2記載の発明は、請求項1記載のN型MOSFETにおいて、SOI層の膜厚が0.5 μ m以上1.5 μ m以下であり、高濃度P型不純物領域の不純物濃度が素子分離領域近傍において2E17cm⁻³以上であることを特徴とするものである。

【0034】請求項3記載の発明は、請求項1記載のN型MOSFETの製造方法であって、半導体支持基板と半導体支持基板上に絶縁層を介して形成されたN型のSOI層とから成るSOI基板のN型のSOI層に、P型不純物を導入、拡散した後、N型不純物をカウンタードープして、前記P型のSOI層と前記絶縁膜との界面に前記高濃度P型不純物領域を形成するようにしたので、多価イオン注入等の特殊な工程を導入することなく簡単、かつ、スループットの良い工程で形成できる上、多価イオン注入の祭に問題となる濃度プロファイルのブロード化を考慮することなく、適切にシャープな濃度プロファイルを得ることができ、素子サイズをチャネル幅以上に拡大することなく、サイドリークを防止することのできるN型MOSFETの製造方法を提供することができた。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るN型MOSFETを示す概略構成図であり、(a)は略断面図であり、(b)は略平面図であり、(c)は(b)のX-X'での略断面図である。

【図2】本実施形態に係るN型MOSFETの不純物領域の素子分離領域近傍の閾値電圧と不純物領域の不純物濃度との関係を示す特性図である。

【図3】本実施形態に係るN型MOSFETの製造工程を示す略断面図である。

【図4】従来例に係るN型MOSFETを示す概略構成図であり、(a)は略断面図であり、(b)は略平面図であり、(c)は(b)のY-Y'での略断面図である。

【図5】従来例に係るサイドリーク防止策をとらないN型MOSFETの概略構成図であり、(a)は略平面図であり、(b)は(a)のZ-Z'での略断面図である。

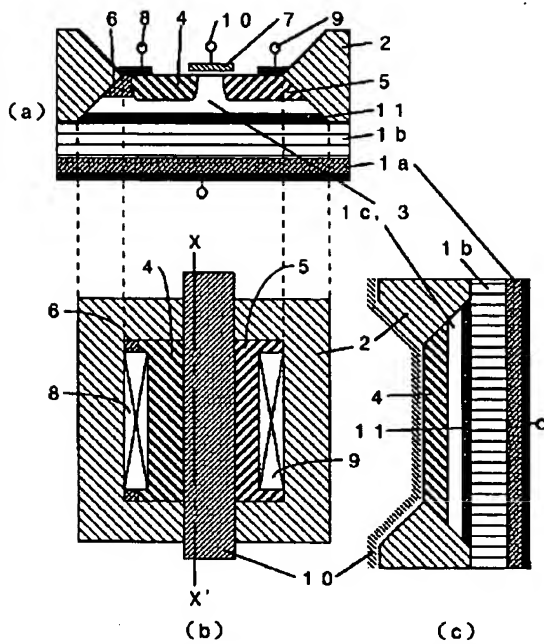
【符号の説明】

- 1a 支持体シリコン基板
- 1b 埋込酸化膜
- 1c SOI層
- 2 素子分離領域
- 3 素子形成領域
- 4 ソース領域
- 5 ドレイン領域
- 6 ボディコンタクト領域
- 7 絶縁ゲート

8 ソース電極
9 ドレイン電極
10 ゲート電極
11 不純物領域
12 SOI層

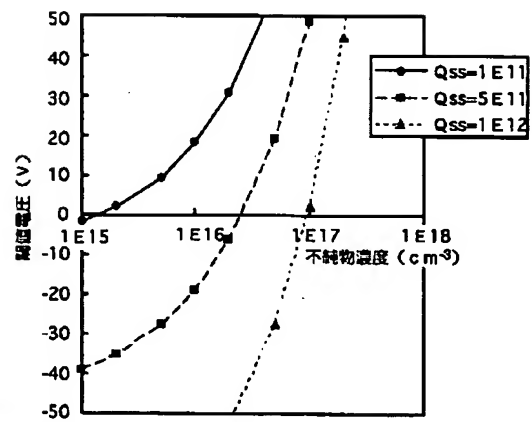
13 不純物領域
14, 15 距離
16 領域
A, B N型MOSFET

【図1】

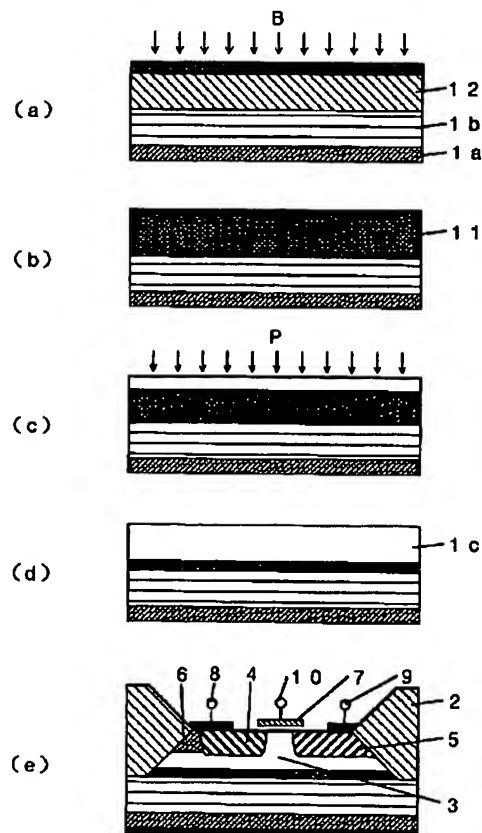


1 a 支持体シリコン基板
1 b 埋込酸化膜
1 c SOI層
2 素子分離領域
3 素子形成領域
4 ソース領域
5 ドレイン領域
6 ボディコンタクト領域
7 絶縁ゲート
8 ソース電極
9 ドレイン電極
10 ゲート電極
11 不純物領域

【図2】

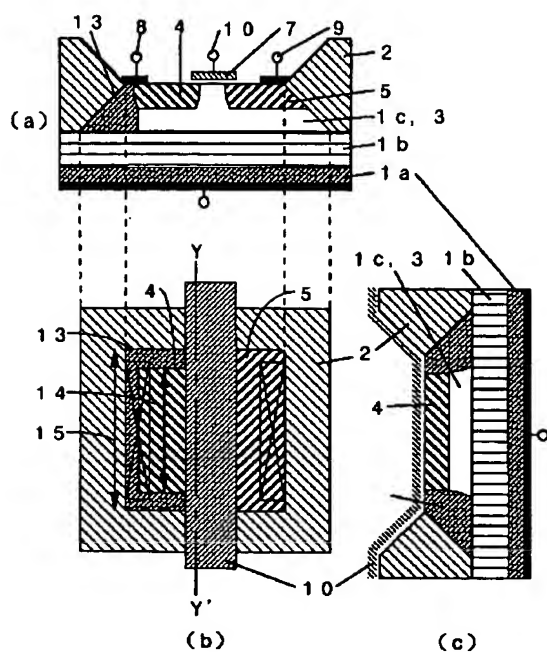


【図3】



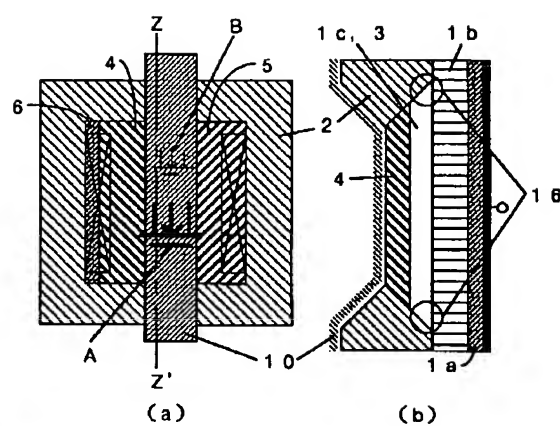
12 SOI層

【図4】



13 不純物領域
14, 15 距離

【図5】



A, B N型MOSFET
16 領域

フロントページの続き

(51)Int.Cl.⁶

識別記号

F I

H 01 L 29/78

6 2 6 C

(72)発明者 白井 良史

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 岸田 貴司

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 高野 仁路

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 吉田 岳司

大阪府門真市大字門真1048番地松下電工株式会社内